查询DS90CF364供应商

2000 年 11 月

National Semiconductor

DS90CF384A/DS90CF364A

＋ 3.3V LVDS レシーバ 24-Bit Flat Panel Display (FPD) Link-65MHz
＋ 3.3V LVDS レシーバ 18-Bit Flat Panel Display (FPD) Link-65MHz

概要

レシーバ DS90CF384A は、4 ペアの LVDS データ・ストリーム (最大スループット 1.8Gbps、バンド幅 227MB/sec) を 28 ビットの CMOS/TTL パラレル・データ (RGB24 ビットおよび HSYNC、VSYNC、DE、CNTLの4ビット)に変換します。またDS90CF364A は、3 ペアの LVDS データ・ストリーム (最大スループット 1.3Gbps、バンド幅 170MB/sec) を 21 ビットの CMOS/TTL パラレル・データ (RGB18 ビットおよび HSYNC、VSYNC、DE の 3 ビット) に変換します。どちらのレシーバも、出力は立ち下がりエッジ・ストローブです。この立ち下がりエッジ・ストローブのレシーバは、立ち上がりエッジ・ストローブもしくは立ち下がりエッジ・ストローブのトランスミッタ(DS90C383A/DS90C363A)と変換回路なしで接続可能です。

DS90CF384A/DS90CF364A は前世代のレシーバから機能が強化され、レシーバ出力端でのデータ有効時間が長くなりました。

DS90CF384A は、ボール数 64、ピッチ間隔 0.8mm の FBGA(Fine Pitch Ball Grid Array) パッケージでも供給されます。このパッケージを使用すると、56 ピン TSSOP パッケージに比べてプリント基板の実装面積にして 44%小さくなります。

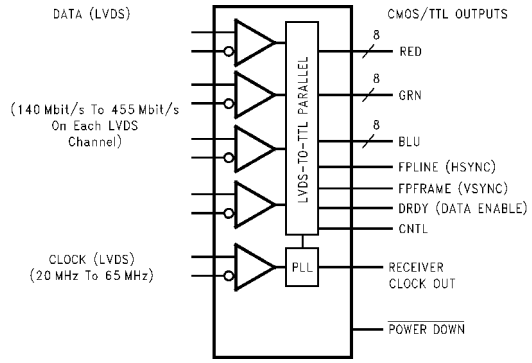
このチップセットはバス幅が広く高速な TTL インタフェースで問題となっている EMI やケーブルサイズの解決に理想的です。

特長

- クロック周波数 20 ～ 65MHz に対応
- 50%デューティ・サイクルのレシーバ・クロック出力
- 高性能セットアップ / ホールド・タイム (RxOUTPUT)
- 65MHz グレイスケール表示においてレシーバの消費電力 142mW 以下 (typ)
- パワーダウン・モードにおいてレシーバの消費電力 200µW 以下 (max)
- ESD 耐圧 7kV 以上 (人体モデル)、700V 以上 (EIAJ)
- VGA、SVGA、XGA そしてデュアル・ピクセル SXGA の高解像度をサポート
- PLL は外付け部品不要
- TIA/EIA-644 LVDS 標準準拠
- 高密度実装を可能にする 56 ピンまたは 48 ピン TSSOP パッケージ
- DS90CF384A は 64 ピン、0.8mm ピッチの FBGA パッケージでも供給

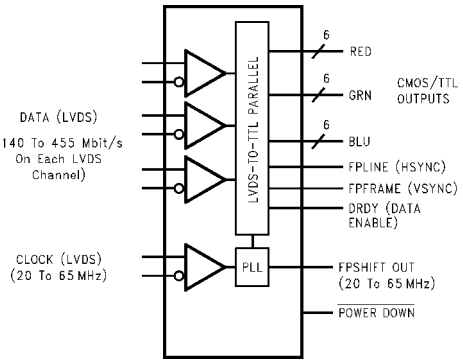
ブロック図

DS90CF384A



Order Number DS90CF384AMTD or DS90CF384ASLC
See NS Package Number MTD56 or SLC64A

DS90CF364A



Order Number DS90CF364AMTD
See NS Package Number MTD48

TRI-STATE® はナショナル セミコンダクター社の登録商標です。

DS90CF384A/DS90CF364A ＋ 3.3V LVDS レシーバ 24-Bit Flat Panel Display (FPD) Link-65MHz
＋ 3.3V LVDS レシーバ 18-Bit Flat Panel Display (FPD) Link-65MHz

© National Semiconductor Corporation

Printed in Japan NSJ 8/2001

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。関連する電気的信頼性試験方法の規格を参照下さい。

電源電圧 (V_{CC})	− 0.3V ～+ 4V
CMOS/TTL 入力電圧	− 0.3V ～ V_{CC} + 0.3V
CMOS/TTL 出力電圧	− 0.3V ～ V_{CC} + 0.3V
LVDS レシーバ入力電圧	− 0.3V ～ V_{CC} + 0.3V
PN 接合温度	+ 150 ℃
保存温度範囲	− 65 ℃～+ 150 ℃
許容リード温度 (ハンダ付け 4 秒)	+ 260 ℃
ハンダ・リフロー温度 (FBGA で 20 秒)	+ 220 ℃
最大パッケージ許容損失 (+ 25 ℃のとき)	
MTD56(TSSOP) パッケージ :	
DS90CF384A	1.61W
MTD48(TSSOP) パッケージ :	
DS90CF364A	1.89W
SLC (FBGA) パッケージ :	
DS90CF384A	2.0W
＊周囲温度＋ 25 ℃を超える場合は、	
DS90CF384AMTD	12.4mW/ ℃
DS90CF364AMTD	15mW/ ℃
DS90CF384ASLC	10.2mW/ ℃
を減じてください。	
ESD 耐圧	
(HBM、1.5 kΩ、100 pF)	＞ 7kV
(EIAJ、0Ω、200 pF)	＞ 700V

推奨動作条件

	最小値	標準値	最大値	単位
電源電圧 (V_{CC})	3.0	3.3	3.6	V
動作周囲温度 (T_A)	− 10	+ 25	+ 70	℃
レシーバ入力電圧範囲	0		2.4	V
電源ノイズ電圧 (V_{CC})			100	mV_{PP}

電気的特性

特記のない限り、推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Conditions		Min	Typ	Max	Units
CMOS/TTL DC SPECIFICATIONS (For PowerDown Pin)							
V_{IH}	High Level Input Voltage			2.0		V_{CC}	V
V_{IL}	Low Level Input Voltage			GND		0.8	V
V_{CL}	Input Clamp Voltage	I_{CL} = − 18 mA			− 0.79	− 1.5	V
I_{IN}	Input Current	V_{IN} = 0.4V, 2.5V or V_{CC}			+ 1.8	+ 10	µA
		V_{IN} = GND		− 10	0		µA
CMOS/TTL DC SPECIFICATIONS							
V_{OH}	High Level Output Voltage	I_{OH} = − 0.4 mA		2.7	3.3		V
V_{OL}	Low Level Output Voltage	I_{OL} = 2 mA			0.06	0.3	V
I_{OS}	Output Short Circuit Current	V_{OUT} = 0V			− 60	− 120	mA
LVDS RECEIVER DC SPECIFICATIONS							
V_{TH}	Differential Input High Threshold	V_{CM} = + 1.2V				+ 100	mV
V_{TL}	Differential Input Low Threshold			− 100			mV
I_{IN}	Input Current	V_{IN} = + 2.4V, V_{CC} = 3.6V				± 10	µA
		V_{IN} = 0V, V_{CC} = 3.6V				± 10	µA
RECEIVER SUPPLY CURRENT							
ICCRW	Receiver Supply Current Worst Case	C_L = 8 pF, Worst Case Pattern, DS90CF384A (Figure 1, 4)	f = 32.5 MHz		49	65	mA
			f = 37.5 MHz		53	70	mA
			f = 65 MHz		81	105	mA
ICCRW	Receiver Supply Current Worst Case	C_L = 8 pF, Worst Case Pattern, DS90CF364A (Figure 1, 4)	f = 32.5 MHz		49	55	mA
			f = 37.5 MHz		53	60	mA
			f = 65 MHz		78	90	mA
ICCRG	Receiver Supply Current, 16 Grayscale	C_L = 8 pF, 16 Grayscale Pattern, (Figure 2, 3, 4)	f = 32.5 MHz		28	45	mA
			f = 37.5 MHz		30	47	mA
			f = 65 MHz		43	60	mA
ICCRZ	Receiver Supply Current Power Down	$\overline{\text{Power Down}}$ = Low Receiver Outputs Stay Low during Power Down Mode			10	55	µA

電気的特性 (つづき)

Note 1: 「絶対最大定格」とは、この範囲を超えるとデバイスの安全性が保証されないリミット値をいい、これらのリミット値でデバイスが動作することを意味するものではありません。電気的特性の表にデバイスの実動作条件を記載しています。

Note 2: 代表値 (Typ) は全て V_{CC} = 3.3V 、および T_A =+ 25 ℃で得られる最も標準的な数値です。

Note 3: デバイス端子に流れ込む電流は正、デバイス端子から流れ出る電流は負と定義されます。V_{OD} と ΔV_{OD} 以外、全ての電圧値はグラウンド端子を基準とします。

レシーバ・スイッチング特性

特記のない限り、推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter		Min	Typ	Max	Units
CLHT	CMOS/TTL Low-to-High Transition Time (Figure 4)			2	5	ns
CHLT	CMOS/TTL High-to-Low Transition Time (Figure 4)			1.8	5	ns
RSPos0	Receiver Input Strobe Position for Bit 0 (Figure 11, 12)	f = 65 MHz	0.7	1.1	1.4	ns
RSPos1	Receiver Input Strobe Position for Bit 1		2.9	3.3	3.6	ns
RSPos2	Receiver Input Strobe Position for Bit 2		5.1	5.5	5.8	ns
RSPos3	Receiver Input Strobe Position for Bit 3		7.3	7.7	8.0	ns
RSPos4	Receiver Input Strobe Position for Bit 4		9.5	9.9	10.2	ns
RSPos5	Receiver Input Strobe Position for Bit 5		11.7	12.1	12.4	ns
RSPos6	Receiver Input Strobe Position for Bit 6		13.9	14.3	14.6	ns
RSKM	RxIN Skew Margin (Note 4) (Figure 13)	f = 65 MHz	400			ps
RCOP	RxCLK OUT Period (Figure 5)		15	T	50	ns
RCOH	RxCLK OUT High Time (Figure 5)	f = 65 MHz	5.0	7.6	9.0	ns
RCOL	RxCLK OUT Low Time (Figure 5)		5.0	6.3	9.0	ns
RSRC	RxOUT Setup to RxCLK OUT (Figure 5)		4.5	7.3		ns
RHRC	RxOUT Hold to RxCLK OUT (Figure 5)		4.0	6.3		ns
RCCD	RxCLK IN to RxCLK OUT Delay 25 ℃ , V_{CC} = 3.3V (Figure 6)		3.5	5.0	7.5	ns
RPLLS	Receiver Phase Lock Loop Set (Figure 7)				10	ms
RPDD	Receiver Power Down Delay (Figure 10)				1	µs

Note 4: レシーバ・スキュー・マージンはレシーバ入力でのサンプリングに必要な有効データ範囲と定義されます。このマージンは DS90C383A のトランスミッタ・パルス・ポジション (TPPos min と max) とレシーバの入力セットアップ / ホールド・タイム (内部のデータ・サンプリング枠ー RSPos) により導き出されています。別のトランスミッタが使われる場合の RSKM は異なります。このマージンは LVDS 配線スキュー、符号間干渉 ISI(ケーブルのタイプと長さにより異なります。) とクロック・ジッタ (250ps 以下) により減少します。

AC タイミング図

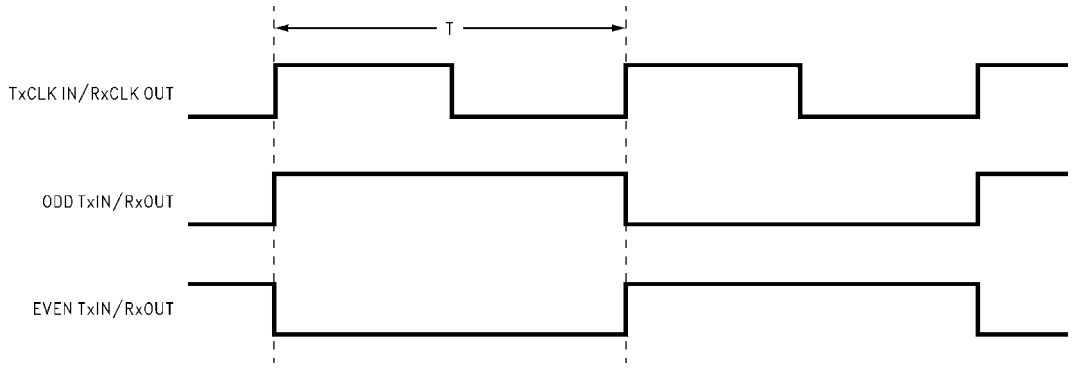


FIGURE 1. “Worst Case ” Test Pattern

AC タイミング図 (つづき)

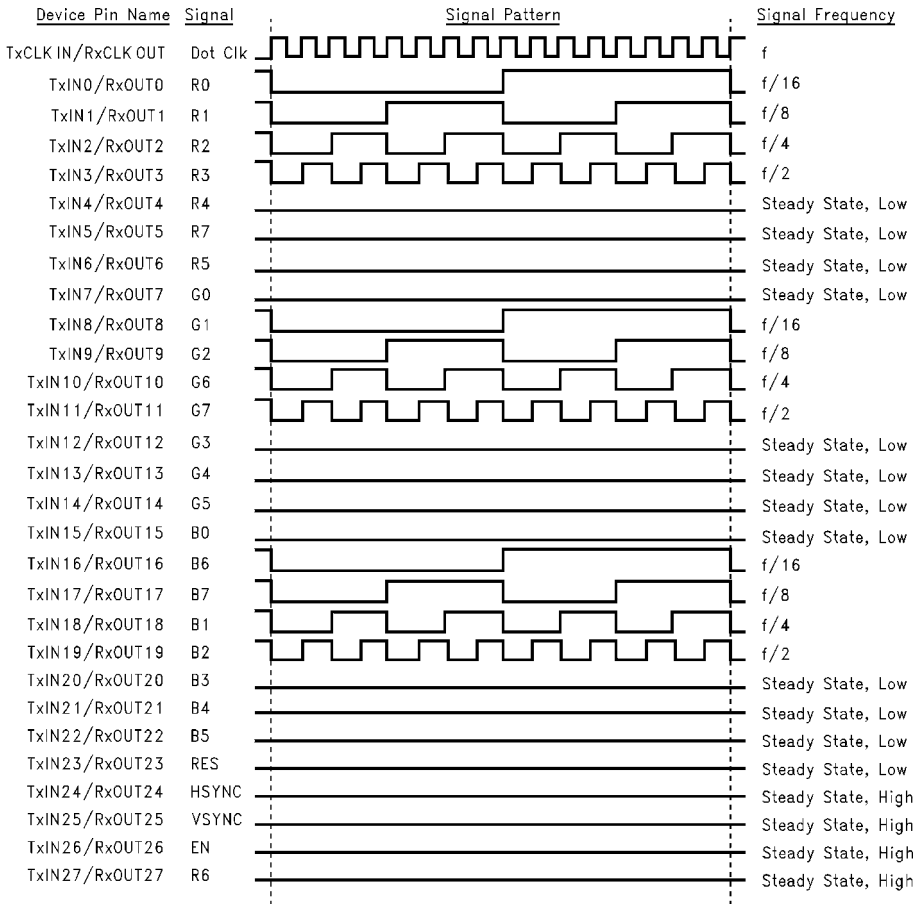


FIGURE 2. “16 Grayscale ” Test Pattern (DS90CF384A)(Notes 5, 6, 7, 8)

AC タイミング図 (つづき)

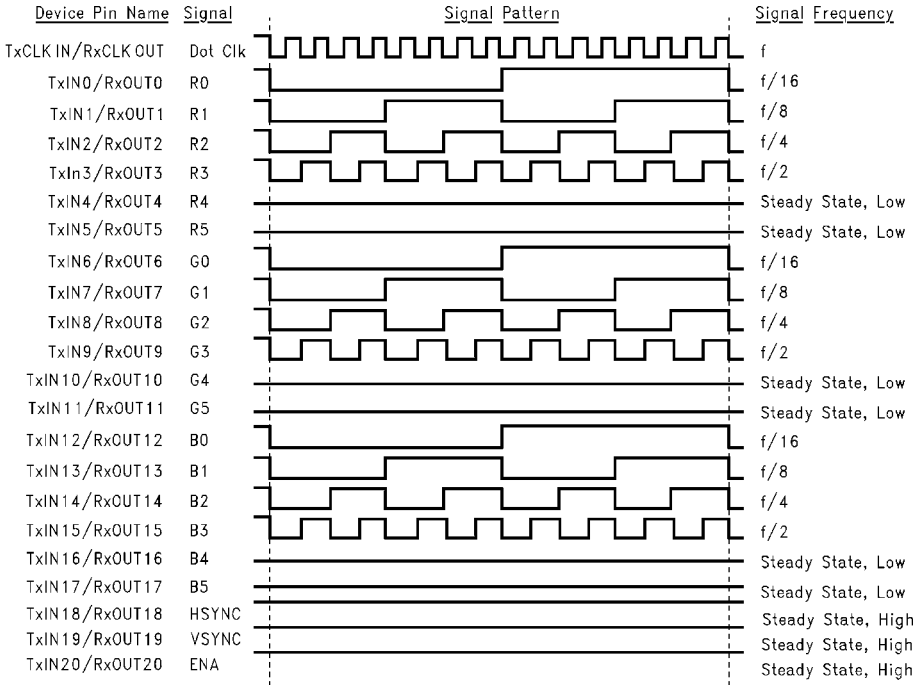


FIGURE 3. “16 Grayscale ” Test Pattern (DS90CF364A)(Notes 5, 6, 7, 8)

Note 5: ワースト・ケース・パターンはデバイスのデジタル回路、LVDS I/O と TTL I/O が最もトグルするように考えられています。

Note 6: 16 階調テスト・パターンは LCD ディスプレイの代表的パターンにおけるデバイスの消費電力を算定するためのものです。このパターンは 16 の縦ストライプのグループがディスプレイに並ぶように信号を近似しています。

Note 7: Figure 1 、Figure 3 ともに立ち下がりエッジ・ストローブの場合です (TxCLK IN/RxCLK OUT)。

Note 8: 推奨ピンアサインですが、独自のアサインにする事も可能です。

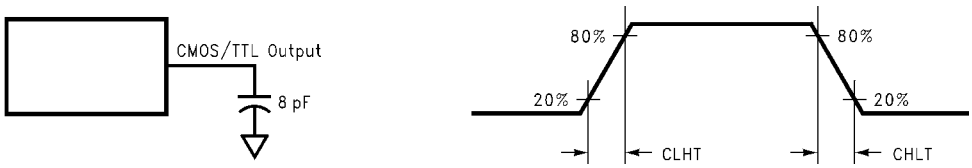


FIGURE 4. DS90CF384A/DS90CF364A (Receiver) CMOS/TTL Output Load and Transition Times

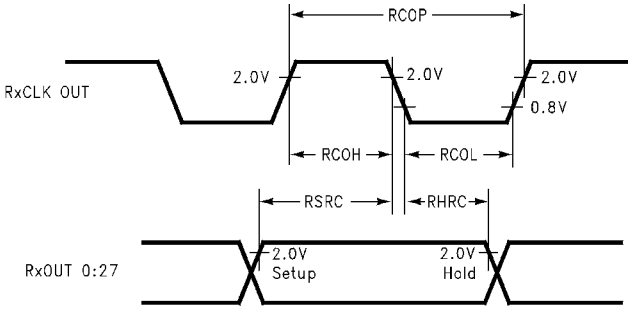


FIGURE 5. DS90CF384A/DS90CF364A (Receiver) Setup/Hold and High/Low Times

AC タイミング図 (つづき)

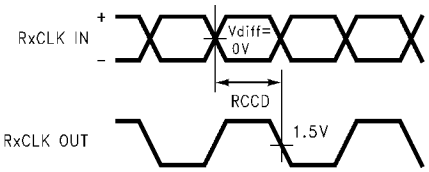


FIGURE 6. DS90CF384A/DS90CF364A (Receiver) Clock In to Clock Out Delay

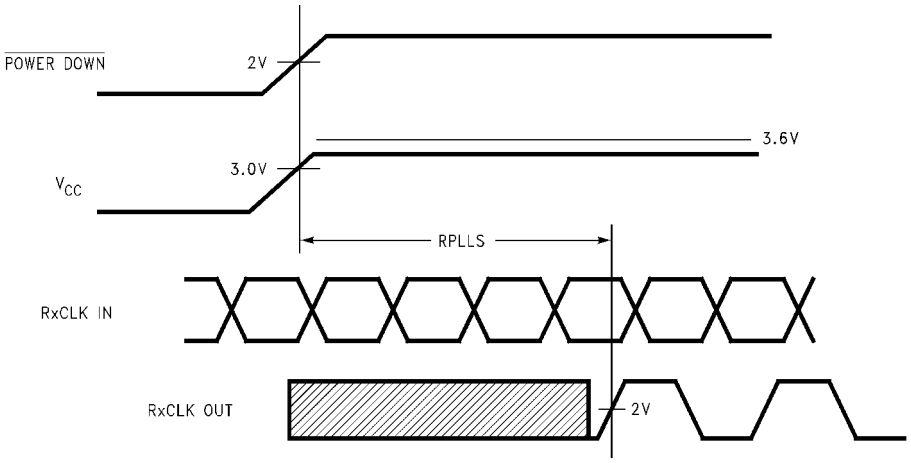


FIGURE 7. DS90CF384A/DS90CF364A (Receiver) Phase Lock Loop Set Time

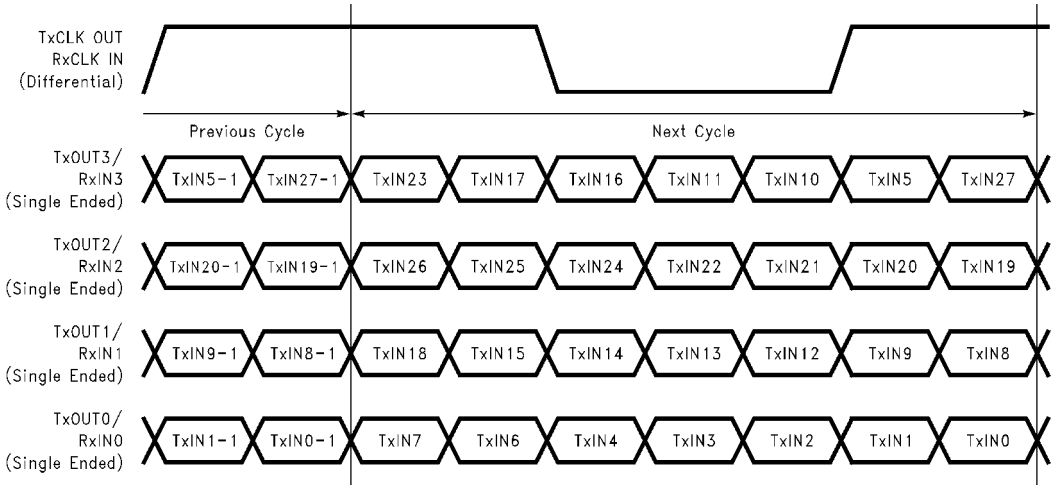


FIGURE 8. 28 Parallel TTL Data Inputs Mapped to LVDS Outputs - DS90CF384A

AC タイミング図 (つづき)

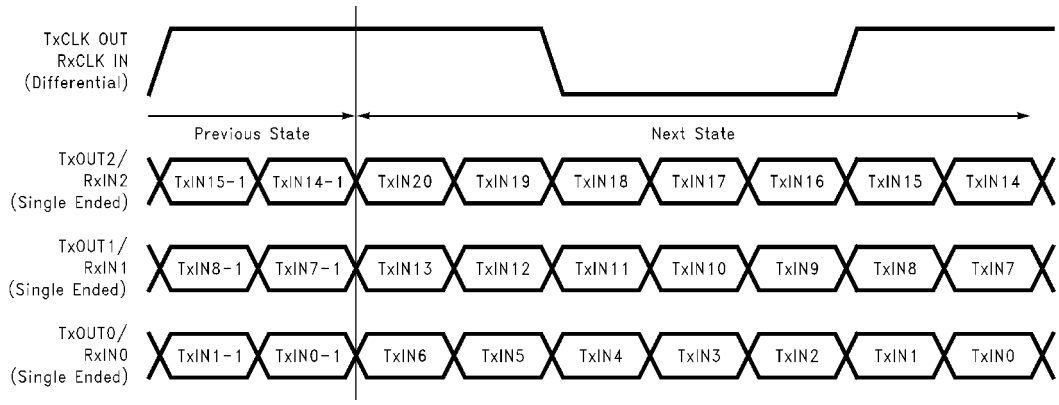


FIGURE 9. 21 Parallel TTL Data Inputs Mapped to LVDS Outputs - DS90CF364A

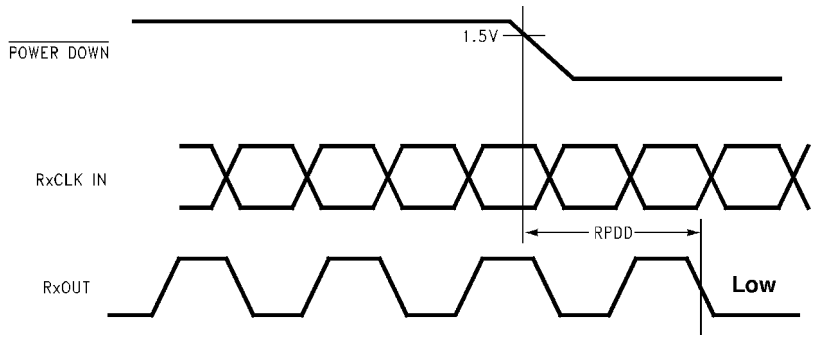


FIGURE 10. DS90CF384A/DS90CF364A (Receiver) Power Down Delay

AC タイミング図 (つづき)

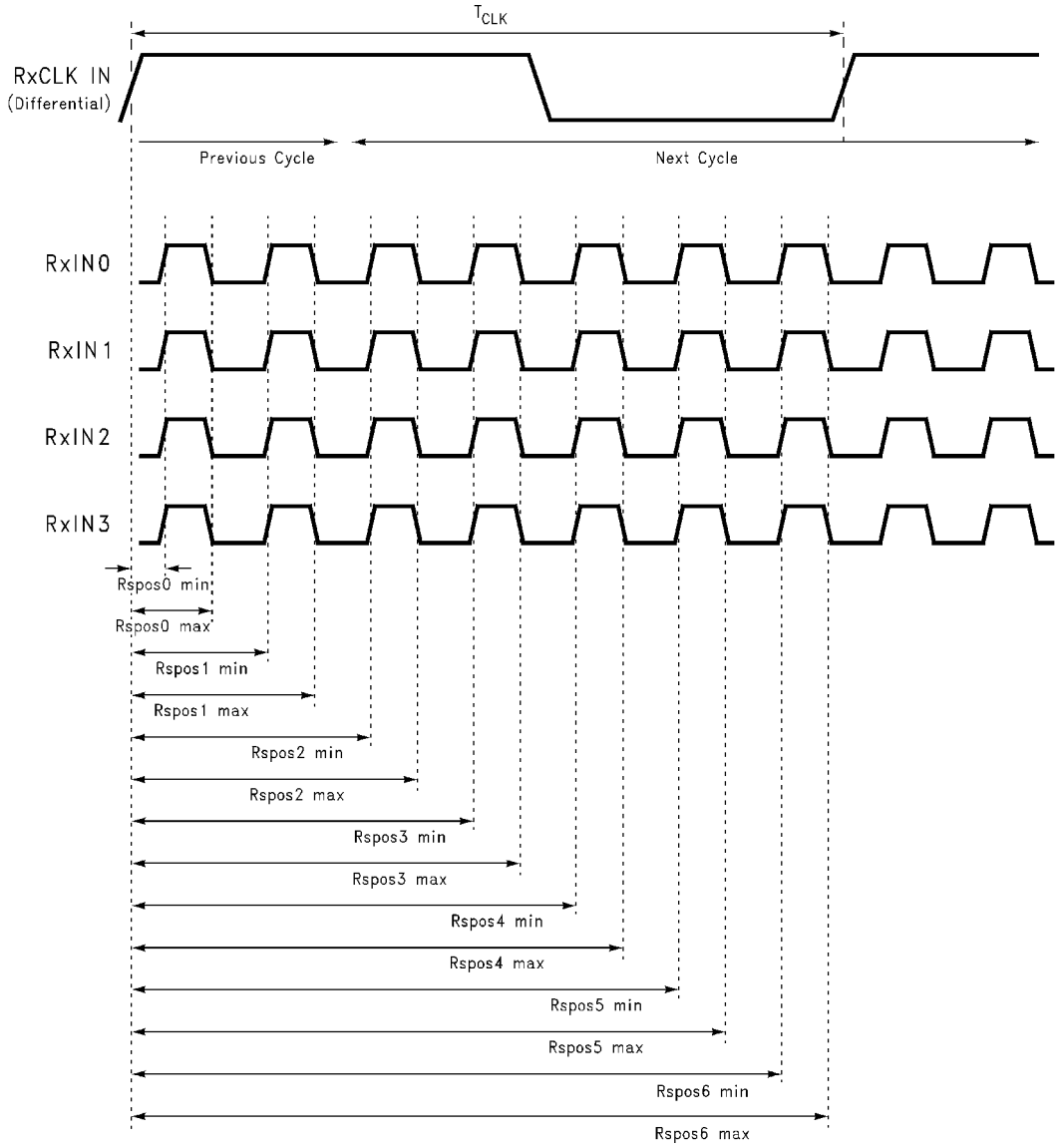


FIGURE 11. DS90CF384A (Receiver) LVDS Input Strobe Position

AC タイミング図 (つづき)

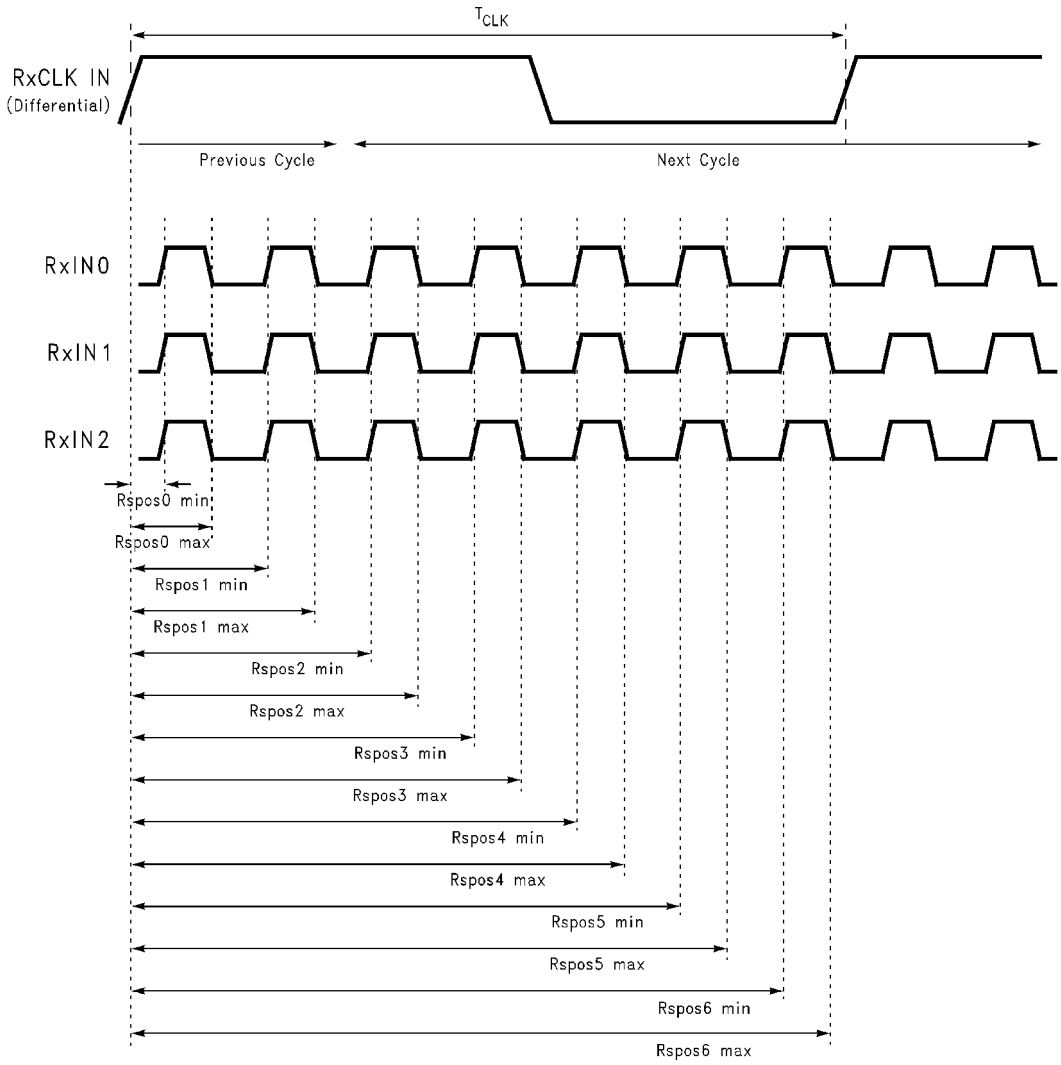
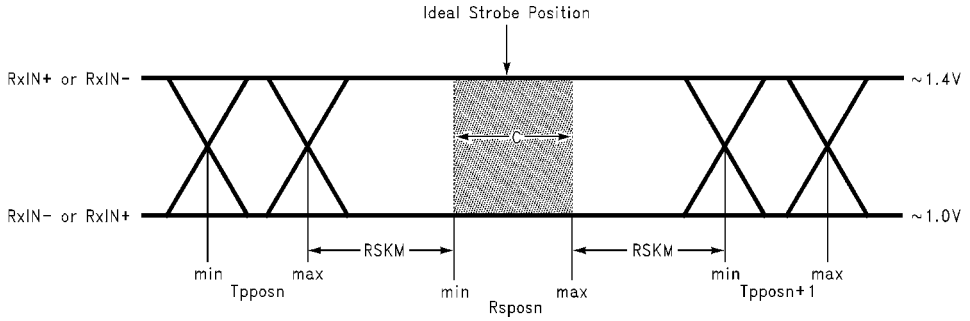


FIGURE 12. DS90CF364A (Receiver) LVDS Input Strobe Position

AC タイミング図 (つづき)



C — セットアップ / ホールド・タイム (内部のデータ・サンプリング枠) は Rspos(レシーバ入力ストローブ・ポジション)min と max により定義されます。
Tppos — トランスミッタ出力パルス・ポジション (min と max)
RSKM ≧ケーブル・スキュー(タイプと長さによって異なります) +ソース・クロック・ジッタ (連続する 2 クロック間) (Note 9) + ISI (符号間干渉) (Note 10)
ケーブル・スキュー — 通常 10 ～ 40ps/300mm、ケーブルにより異なります。
Note 9: 65MHz 動作時のジッタは 250ps 以下にしてください。
Note 10: ISI は内部配線長によって異なります。通常は 0 です。

FIGURE 13. Receiver LVDS Input Skew Margin

DS90CF384A 端子説明 — 56 ピン TSSOP パッケージ — 24-Bit FPD Link レシーバ

端子名	I/O	No.	説明
RxIN ＋	I	4	正の LVDS 差動データ入力
RxIN －	I	4	負の LVDS 差動データ入力
RxOUT	O	28	TTL レベルデータ出力。これには、6 ビットの Red、6 ビットの Green、6 ビットの Blue、および 3 ビットの制御信号 FPLINE、FPFRAME、DRDY(HSYNC、VSYNC、Data Enable) が含まれます。
RxCLK IN ＋	I	1	正の LVDS 差動クロック入力
RxCLK IN －	I	1	負の LVDS 差動クロック入力
RxCLK OUT	O	1	TTL レベルのクロック出力。 立ち下がりエッジがデータ取り込みに使用されます。
$\overline{\text{PWR DOWN}}$	I	1	TTL レベル入力。 入力に Low が入力されると、レシーバ出力は Low になります。
V_{CC}	I	4	TTL 出力用の電源ピン
GND	I	5	TTL 出力用のグラウンド・ピン
PLL V_{CC}	I	1	PLL 用の電源ピン
PLL GND	I	2	PLL 用のグラウンド・ピン
LVDS V_{CC}	I	1	LVDS 入力用の電源ピン
LVDS GND	I	3	LVDS 入力用のグラウンド・ピン

DS90CF364A 端子説明 — 48 ピン TSSOP パッケージ — 18-Bit FPD-Link レシーバ

端子名	I/O	No.	説明
RxIN ＋	I	3	正の LVDS 差動データ入力 (Note 11)
RxIN －	I	3	負の LVDS 差動データ入力 (Note 11)
RxOUT	O	21	TTL レベル・データ出力。これには、6 ビットの Red、6 ビットの Green、6 ビットの Blue、および 3 ビットの制御信号 FPLINE、FPFRAME、DRDY(HSYNC、VSYNC、Data Enable) が含まれます。
RxCLK IN ＋	I	1	正の LVDS 差動クロック入力
RxCLK IN －	I	1	負の LVDS 差動クロック入力
RxCLK OUT	O	1	TTL レベルのクロック出力。 立ち下がりエッジがデータ取り込みに使用されます。
$\overline{\text{PWR DOWN}}$	I	1	TTL レベル入力。 入力に Low が入力されると、レシーバ出力は Low になります。
V_{CC}	I	4	TTL 出力用の電源ピン
GND	I	5	TTL 出力用のグラウンド・ピン
PLL V_{CC}	I	1	PLL 用の電源ピン
PLL GND	I	2	PLL 用のグラウンド・ピン
LVDS V_{CC}	I	1	LVDS 入力用の電源ピン
LVDS GND	I	3	LVDS 入力用のグラウンド・ピン

Note 11: 本レシーバは、レシーバ入力がオープンもしくは終端された状態でも安定したレシーバ出力を得るために、入力段にフェイルセーフのバイアス回路を備えています。これにより、前記のようにオープンもしくは終端された状態でも、レシーバ入力は HIGH になります。したがって、もしクロック信号が有効であればすべてのデータ出力も HIGH になります。もしクロック信号がオープンもしくは終端されていたとすると、レシーバ出力は最後の有効な状態を保持します。なおクロック入力がオープンもしくは終端されていると、クロック出力は HIGH になります。

DS90CF384A 端子説明 — 64 ピン FBGA パッケージ — FPD-Link レシーバ

端子名	I/O	No.	説明
RxIN ＋	I	4	正の LVDS 差動データ入力
RxIN －	I	4	負の LVDS 差動データ入力
RxOUT	O	28	TTL レベル入力。これには、8 ビットの Red、8 ビットの Green、8 ビットの Blue、および 4 ビットの制御信号 FPLINE、FPFRAME、DRDY(HSYNC、VSYNC、Data Enable、他) が含まれます。
RxCLK IN ＋	I	1	正の LVDS 差動クロック入力
RxCLK IN －	I	1	負の LVDS 差動クロック入力
RxCLK OUT	O	1	TTL レベルのクロック出力。 立ち下がりエッジがデータ取り込みに使用されます。 FPSHIFT OUT とも表記されます。
$\overline{\text{PWR DOWN}}$	I	1	TTL レベル入力。 入力に Low が入力されると、レシーバ出力は、Low になります。
V_{CC}	I	4	TTL 出力用の電源ピン
GND	I	5	TTL 出力用のグラウンド・ピン
PLL V_{CC}	I	1	PLL 用の電源ピン
PLL GND	I	2	PLL 用のグラウンド・ピン
LVDS V_{CC}	I	1	LVDS 入力用の電源ピン
LVDS GND	I	3	LVDS 入力用のグラウンド・ピン
NC		6	未接続ピン

DS90CF384A 端子説明 — 64 ピン FBGA パッケージ — FPD-Link レシーバ

By Pin			By Pin Type		
Pin	Pin Name	Type	Pin	Pin Name	Type
A1	RxOUT17	O	A4	GND	G
A2	VCC	P	B1	GND	G
A3	RxOUT15	O	B6	GND	G
A4	GND	G	D8	GND	G
A5	RxOUT12	O	E3	GND	G
A6	RxOUT8	O	E5	LVDS GND	G
A7	RxOUT7	O	G3	LVDS GND	G
A8	RxOUT6	O	G7	LVDS GND	G
B1	GND	G	H5	LVDS GND	G
B2	NC		F6	PLL GND	G
B3	RxOUT16	O	G8	PLL GND	G
B4	RxOUT11	O	E6	PWR DWN	I
B5	VCC	P	H6	RxCLKIN －	I
B6	GND	G	H7	RxCLKIN ＋	I
B7	RxOUT5	O	H2	RxIN0 －	I
B8	RxOUT3	O	H3	RxIN0 ＋	I
C1	RxOUT21	O	F4	RxIN1 －	I
C2	NC		G4	RxIN1 ＋	I
C3	RxOUT18	O	G5	RxIN2 －	I
C4	RxOUT14	O	F5	RxIN2 ＋	I
C5	RxOUT9	O	G6	RxIN3 －	I
C6	RxOUT4	O	H8	RxIN3 ＋	I
C7	NC		E7	RxCLKOUT	O
C8	RxOUT1	O	E8	RxOUT0	O
D1	VCC	P	C8	RxOUT1	O
D2	RxOUT20	O	D5	RxOUT10	O
D3	RxOUT19	O	B4	RxOUT11	O

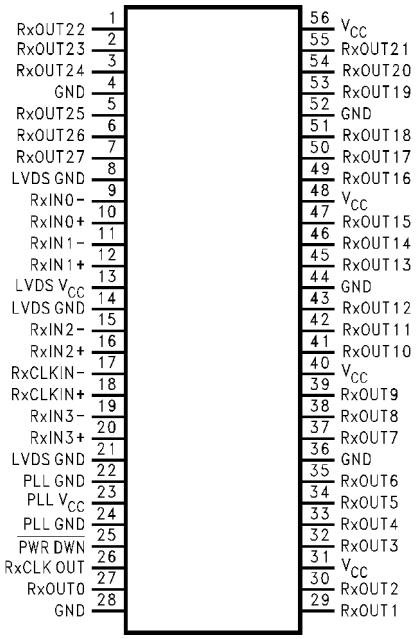
DS90CF384A 端子説明 — 64 ピン FBGA パッケージ — FPD-Link レシーバ (つづき)

By Pin			By Pin Type		
Pin	Pin Name	Type	Pin	Pin Name	Type
D4	RxOUT13	O	A5	RxOUT12	O
D5	RxOUT10	O	D4	RxOUT13	O
D6	VCC	P	C4	RxOUT14	O
D7	RxOUT2	O	A3	RxOUT15	O
D8	GND	G	B3	RxOUT16	O
E1	RxOUT22	O	A1	RxOUT17	O
E2	RxOUT24	O	C3	RxOUT18	O
E3	GND	G	D3	RxOUT19	O
E4	LVDS VCC	P	D7	RxOUT2	O
E5	LVDS GND	G	D2	RxOUT20	O
E6	PWR DWN	I	C1	RxOUT21	O
E7	RxCLKOUT	O	E1	RxOUT22	O
E8	RxOUT0	O	F1	RxOUT23	O
F1	RxOUT23	O	E2	RxOUT24	O
F2	RxOUT26	O	G1	RxOUT25	O
F3	NC		F2	RxOUT26	O
F4	RxIN1 –	I	H1	RxOUT27	O
F5	RxIN2 ＋	I	B8	RxOUT3	O
F6	PLL GND	G	C6	RxOUT4	O
F7	PLL VCC	P	B7	RxOUT5	O
F8	NC		A8	RxOUT6	O
G1	RxOUT25	O	A7	RxOUT7	O
G2	NC		A6	RxOUT8	O
G3	LVDS GND	G	C5	RxOUT9	O
G4	RxIN1 ＋	I	E4	LVDS VCC	P
G5	RxIN2 –	I	H4	LVDS VCC	P
G6	RxIN3 –	I	F7	PLL VCC	P
G7	LVDS GND	G	A2	VCC	P
G8	PLL GND	G	B5	VCC	P
H1	RxOUT27	O	D1	VCC	P
H2	RxIN0 –	I	D6	VCC	P
H3	RxIN0 ＋	I	B2	NC	
H4	LVDS VCC	P	C2	NC	
H5	LVDS GND	G	C7	NC	
H6	RxCLKIN –	I	F3	NC	
H7	RxCLKIN ＋	I	F8	NC	
H8	RxIN3 ＋	I	G2	NC	

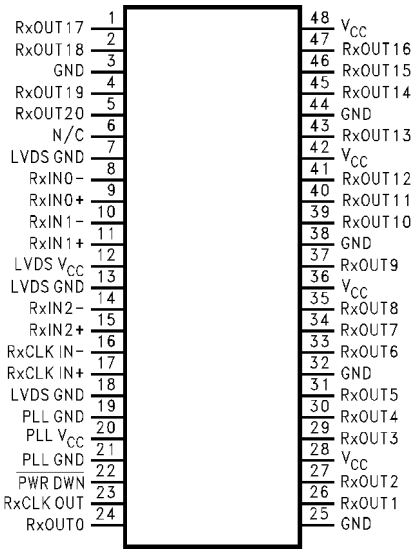
G: グラウンド
I : 入力
O: 出力
P: 電源
NC: 未接続

ピン配置図 (TSSOP パッケージ)

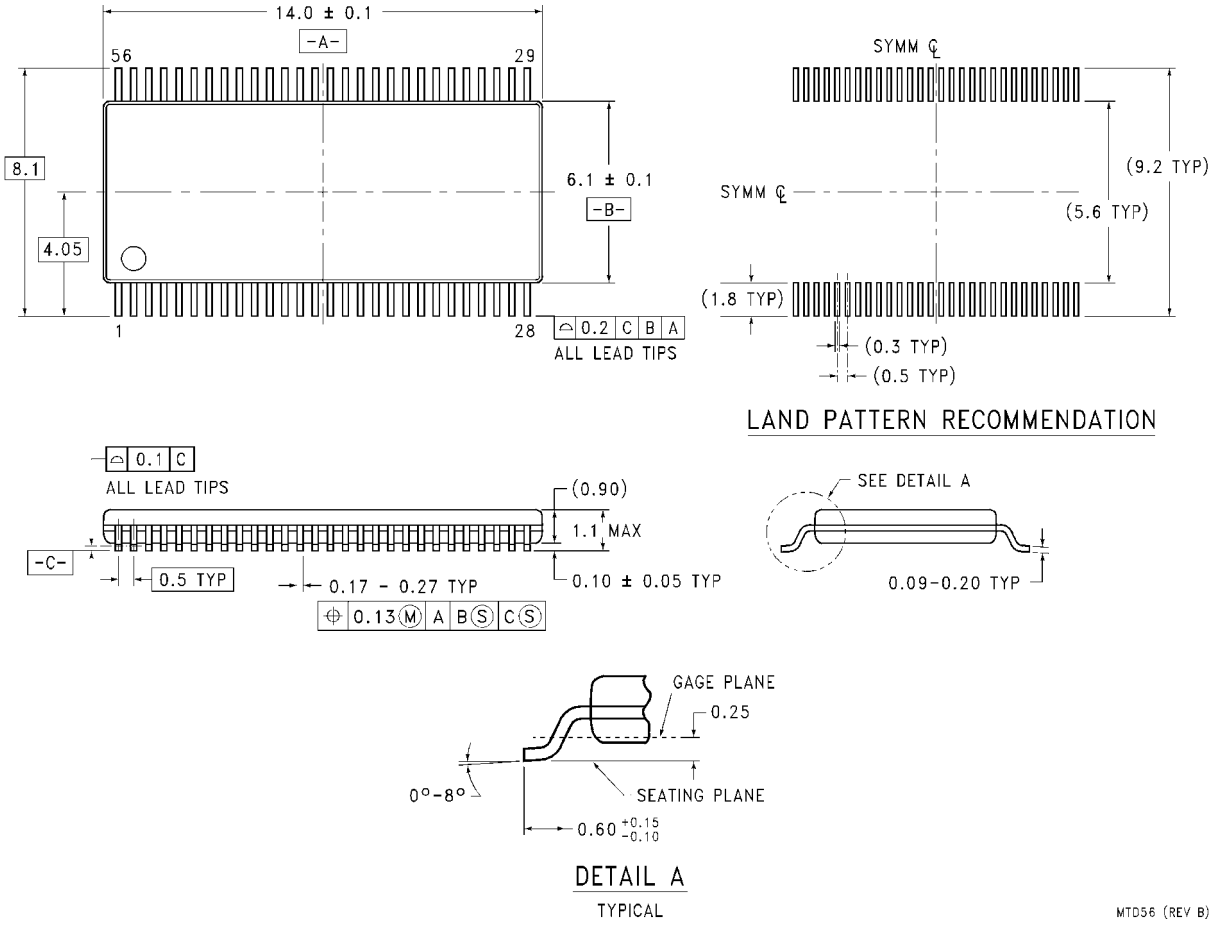
DS90CF384A



DS90CF364A

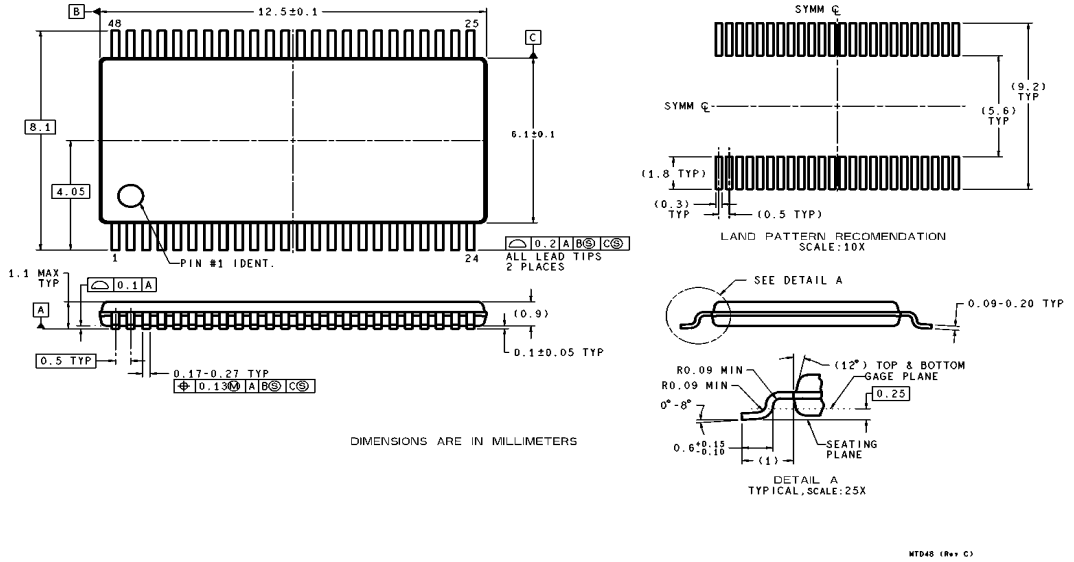


外形寸法図 単位は millimeters

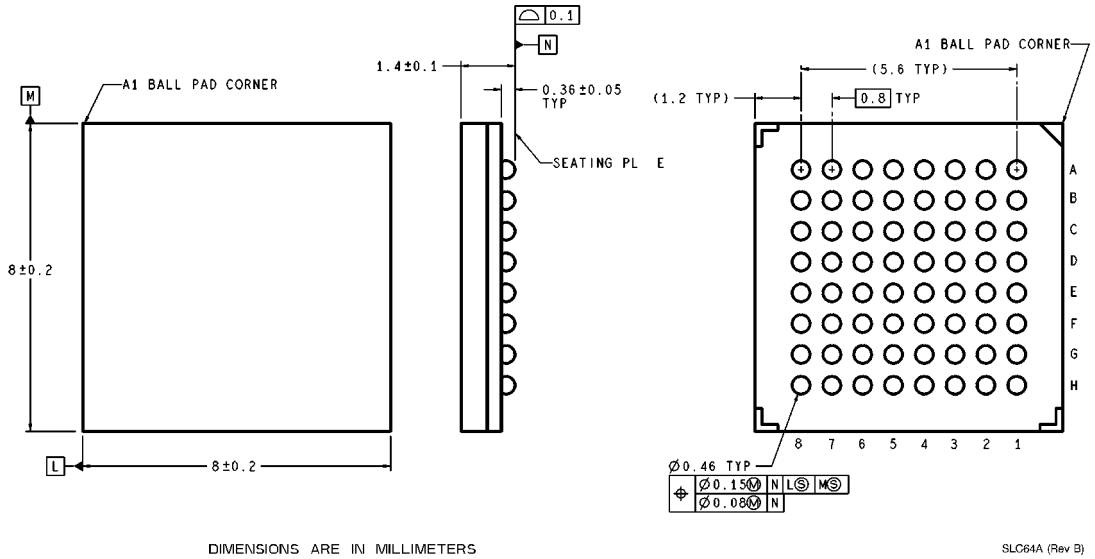


56-Lead Molded Thin Shrink Small Outline Package, JEDEC
Dimensions shown in millimeters only
Order Number DS90CF384AMTDNS
Package Number MTD56

外形寸法図 単位は millimeters (つづき)



48-Lead Molded Thin Shrink Small Outline Package, JEDEC
Dimensions shown in millimeters only
Order Number DS90CF364AMTD
NS Package Number MTD48



64 ball, 0.8mm Fine Pitch Ball Grid Array (FBGA) Package
Dimensions shown in millimeters only
Order Number DS90CF384ASLC
NS Package Number SLC64A

生命維持装置への使用について

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

ナショナル セミコンダクター ジャパン株式会社

本社／〒 135-0042 東京都江東区木場 2-17-16　　TEL.(03)5639-7300

技術資料（日本語 / 英語）はホームページより入手可能です。

http://www.national.com/JPN/

その他のお問い合わせはフリーダイヤルをご利用下さい。

フリーダイヤル **0120-666-116**

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。
また掲載内容は予告無く変更されることがありますのでご了承ください。